

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平2-65380

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月6日

H 04 N 5/335
3/15

E 8838-5C
7605-5C

審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 撮像装置

⑮ 特 願 昭63-216496

⑯ 出 願 昭63(1988)8月31日

⑰ 発 明 者 菅

章

神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
五川事業所内

⑱ 出 願 人 キヤノン株式会社

東京都大田区下丸子3丁目30番2号

⑲ 代 理 人 弁理士 田中 常雄

明 細 書

1. 発明の名称

撮像装置

2. 特許請求の範囲

光電変換部の光電変換信号をライン単位に一旦メモリ手段に転送し、当該メモリ手段の記憶信号を順次、出力信号線に転送する撮像装置であって、当該メモリ手段が、当該光電変換部の全光電変換信号を記憶可能なフレーム・メモリであることを特徴とする撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は電子シャッタ機能を有する撮像装置に関する。

(従来の技術)

近年、F G A (フローティング・ゲート・アレイ) 型のエリア・センサが提案されている。第2図はその構成ブロック図を示す。10は多数の光電変換セル10Cがマトリクス状に位置する光電変換部であり、10Vは垂直アドレスを指定する

垂直アドレス線、10Sは、垂直アドレス線10Vで指定される行の光電変換セルの信号を読み出す信号線である。12は、光電変換部10の光電変換信号をリセットするリセット回路、14はクランプ回路、16はライン・メモリ、18は、ライン・メモリ16の記憶値を水平方向に順次に読み出すための出力信号線、20はライン・メモリ16から読み出すべき記憶位置を指定する水平選出用のシフト・レジスタ、22は、当該シフト・レジスタ20の出力により開閉されるスイッチ、24は高入力インピーダンスの出力バッファ、26は出力端子である。

28は、光電変換部10の垂直アドレス線10Vを選択的に起動するアドレス・デコード、30は、垂直アドレス・データD₀に、アドレス・デコード28が起動する垂直アドレス線を選択するデコード駆動回路である。アドレス・デコード28は、読出リセットを行う行の垂直アドレス線10Vにφ₀を印加し、他の垂直アドレス線10Vにφ₁を印加する。32は結合用コンデン

特開平2-65380(2)

サである。

1 2 T はリセット用 FET、1 4 T はクランプ用 FET、1 6 T はクランプ回路 1 4 の出力をライン・メモリ 1 6 に読み込むためのスイッチング用 FET、1 6 M はメモリ用コンデンサである。 ϕ はリセット回路 1 2 のリセット用 FET 1 2 T を制御するリセット・パルス、 V_{cc} はクランプ電圧、 ϕ_c はクランプ・パルス、 ϕ_{ss} は FET 1 6 T の開閉を制御するサンプル・ホールド用クロック、STAT はシフト・レジスタ 2 0 を起動する起動パルス、 ϕ_s はシフト・レジスタ 2 0 に対するシフト・パルスである。

ライン・メモリ 1 6 及びクランプ回路 1 4 の部分は外光から遮蔽されている。

光電変換セル 1 0 C の構成を第 3 図に、その動作タイミングを第 4 図に示す。3 4 はクロック ϕ_n 、 ϕ のパルス源であり、第 2 図のアドレス・デコード 2 8 に相当する。3 6 は受光素子としての M チャンネルのジャンクション FET であり、そのゲートはフローティングになっており、コンデン

サ 3 8 を介して垂直アドレス線 1 0 V に接続する。FET 3 6 のドレイン D は直流電源 V_{ss} に接続し、そのソース S は、リセット回路 1 2 のリセット用 FET 1 2 T に接続する。FET 3 6 のソース S が信号線 1 0 S に接続する。第 4 図に示す時刻 t_1 、 t_2 間にパルス源 3 4 により垂直アドレス線 1 0 V が H になると、FET 3 6 のゲート・ドレイン接合が順方向にバイアスされ、コンデンサ 3 8 がプリチャージされる。その後、もしも FET 3 6 のゲート領域に光が入射していなければ、第 4 図の t_1 、 t_2 間では FET 3 6 のゲートはフルに逆バイアスされた状態のままとなる(第 4 図の点線)。ゲート領域に光が入射している場合には、光助起された電荷により、徐々にコンデンサ 3 8 が放電し、ゲート電位が上昇する(第 4 図の実線)。FET 3 6 のソース電位はゲート電位に追従して変化する。第 5 図は第 2 図の画像装置の画像駆動タイミングを示す。水平ブランキング信号 HBLX により水平

ブランキング期間が始まり、時刻 t_1 には垂直アドレス D_{ss} がデコード駆動回路 3 0 に印加される。これにより、 ϕ が順次指定の垂直アドレス線 1 0 V に、 ϕ_c が他の垂直アドレス線 1 0 V に印加される。時刻 t_1 で ϕ_c が L レベルになると、導通する光電変換セル 1 0 C の FET 3 6 は全てオフになるので、指定の垂直アドレス線 1 0 V に接続する光電変換セル 1 0 C の信号のみが信号線 1 0 S に読み出される。 $t_1 \sim t_2$ 間ではクランプ・パルス ϕ_c が H であり、サンプル・ホールド・パルス ϕ_{ss} が H になっているので、ライン・メモリ 1 6 のコンデンサ 1 6 M は基準電位 V_{ss} にリセットされる。クランプ用 FET 1 4 T は t_2 で開放される。 $t_2 \sim t_3$ 間でクロック ϕ_n が H になるとコンデンサ 3 8 はプリチャージされるが、その際、結合コンデンサ 3 2 に充たれる電圧は光電変換セル 1 0 C における光助起電圧による電荷量に比例した電圧になる。結合コンデンサ 3 2 のこの電圧は、 $t_3 \sim t_4$ で ϕ_{ss} を H にすることによって、コンデンサ 1 6 M に転送され、記憶される。

$t_4 \sim t_5$ では、露光時間制御のためのリセット動作を行っている。リセットする垂直ライン・アドレスを t_4 に指定し、 $t_5 \sim t_6$ で指定ラインの電荷をリセットする。リセット動作から次にそのラインの信号を読み出すまでの時間が、電荷蓄積時間になる。時刻 t_6 以後に水平シフト・レジスタ 2 0 をシフト・パルス ϕ_s で駆動することにより、コンデンサ 1 6 M の記憶信号が順次、出力信号線 1 8 上に転送され、バッファ 2 4 を介して出力端子 2 6 に出力される。

【発明が解決しようとする課題】

他方、最近、電子スチル・カメラが商用化されるにいたり、そのカメラ部にも、上記 FGA 型エリア・センサのような画像装置が使われるようになってきた。電子スチル・カメラでは、記録画像の画質を高めるために、画像信号のフレーム記録が可能であるが、上記の如き画像装置の出力を奇フィールド及び偶フィールドとして磁気ディスクに記録する場合には、奇フィールドの光電変換時点と偶フィールドの光電変換時点とが 1/60 秒ず

特開平2-65380 (3)

れているので、動く被写体の場合には、画像がフィールド毎にぶれてしまい、結局、良好なフレーム画が得られない。

そこで本発明は、動きのある被写体に対してもブレの少ないフレーム静止画を得ることのできる画像装置を提示することを目的とする。

(課題を解決するための手段)

本発明に係る画像装置は、光電変換部の光電変換信号をライン単位に一旦メモリ手段に転送し、当該メモリ手段の記憶信号を順次、出力信号線に転送する画像装置であって、当該メモリ手段が、当該光電変換部の全光電変換信号を記憶可能なフレーム・メモリであることを特徴とする。

(作用)

上記メモリ手段がフレーム・メモリであり、光電変換部の光電変換信号を全部、一旦当該フレーム・メモリに格納することにより、奇フィールドと偶フィールドとで、撮影時刻差が実質的には生じないようにできる。従って、動きのある被写体に対しても、ブレの少ないフレーム静止画を得

ることができる。

(実施例)

以下、図面を参照して本発明の実施例を説明する。

第1図は本発明の一実施例の構成ブロック図を示す。第2図と同じ構成要素には同じ符号を付してある。15は1フレーム分の記憶容量を持つフレーム・メモリであり、第2図のライン・メモリ16に代わるものである。15Tはクランプ回路14の出力をフレーム・メモリ15に読み込むためのスイッチング用FET、15Mはメモリ用コンデンサ、15Nはメモリ用コンデンサ15Mの書き込み及び読出用FETである。メモリ用コンデンサ15Mは光電変換部10の光電変換セルに対応して配線されており、垂直シフト・レジスタ15Sが書き込み及び読出を行うコンデンサ15Mを指定する。STATは垂直シフト・レジスタ15Sを起動する起動パルス、 ϕ は垂直シフト・レジスタ15Vに対するシフト・パルスである。フレーム・メモリ16及びクランプ回路14の部分は外光から遮

蔽されている。

第1図の画像装置では、電源立ち上げ時にSTATパルスを垂直シフト・レジスタ15Sに印加し、その後、クロック ϕ を印加しなければ、フレーム・メモリ15の第1行のみが有効に作用する状態になる。つまり、フレーム・メモリ15はライン・メモリ16として動作する。この状態では、光電変換部10からの行単位の光電変換信号はクランプ回路14を介して当該フレーム・メモリ15（の第1行のメモリ・セル）に一時記憶され、水平シフト・レジスタ20の作用下に、水平讀出線18上に順次読み出される。本明細書では、この動作をムービー・モードと呼ぶ。

第6図は上述のフレーム静止画記録を行う場合の奇フィールド信号及び偶フィールド信号を得る動作のシーケンスを示す。先ず、光電変換セル10Cの電荷をクリアするクリア走査が先行して開始される。クリアの終わったラインの光電変換セル10Cでは人射光量に基づく電荷の蓄積が開始され、所定の蓄積時間が経過すると、メモリ走査

が開始される。このメモリ走査では、光電変換セル10Cの蓄積電荷がフレーム・メモリ15に転送され、そして、フレーム・メモリ16から奇フィールドの読出定数、続いて偶フィールドの読出定数が行われる。この動作モードでは、各行の蓄積時刻が連続的に変化した、従来例のように毎行に1/60秒の蓄積時刻差が生じないので、動きのある被写体についても、ブレの無い静止画像を得ることができる。この動作モードをスタル・モードと呼ぶ。

第7A図はクリア走査における第1図の画像素子の駆動タイミングを示す。クリア・パルス ϕ_c をHにしておき、クリアするラインのアドレスを垂直アドレスD₀にセットし、 ϕ_c をHにすることによって、指定ラインの全光電変換セル10Cの電荷がクリアされる。

第7B図はメモリ走査開始付近での第1図の画像素子の駆動タイミングを示す。なお、図示時点ではまだクリア走査が完了していないので、クリア走査とメモリ走査が交互に行われる。t₀にST

特開平2-65380 (4)

ATV パルスを加加すると、垂直シフト・レジスタ155は、フレーム・メモリ15の第1行を指す値にリセットされ、垂直アドレス・ライン15Aにより第1行目のスイッチ・トランジスタ15Nが閉成される。これにより、 $t_1 \sim t_2$ 間で、光電変換部10の第1行目の光電変換セル10Cの蓄積電荷が、フレーム・メモリ15の第1行目のコンデンサ15Mに転送される。 t_2 以後、 a_{n-1} ラインのクリアを行っている間に、垂直シフト・レジスタ155に駆動クロック ϕ を加加し、垂直シフト・レジスタ155をシフトさせる。これにより、フレーム・メモリ15の第2行目のスイッチ・トランジスタ15Nがオンになり、光電変換部10の第2行目のセル10Cの信号がフレーム・メモリ15の第2行目のコンデンサ15Mに転送される。このような動作を順次行うことにより、クリア走査とメモリ走査を交互に行う。

第7C図は、クリア走査が終了し、メモリ走査のみを状態での駆動タイミングを示す。各ラインの蓄積時間を一定に保つために、メモリ走査の走

査速度は、クリア走査の走査速度と等しくなっている。ここでメモリ走査は終了する。

第7D図は奇(ODD)フィールドの読出走査タイミングを示す。STATV パルスの加加により、垂直シフト・レジスタ155がリセットされ、フレーム・メモリ15の第1行目のコンデンサ15Mの信号が読出可能になり、STATV パルス及び駆動パルス ϕ を水平読出シフト・レジスタ20に印加することにより、出力端子26から順次出力される。次に垂直シフト・レジスタ155に駆動パルス ϕ を2個印加し、フレーム・メモリ15の第3行目の記憶値を読出可能にし、水平読出シフト・レジスタ20により順次読み出す。このようにして、フレーム・メモリ15の奇数行目の記憶値が読み出され、出力端子26から出力される。

第7E図は偶(EVEN)フィールドの読出の走査タイミングを示す。STATV パルスにより垂直シフト・レジスタ155をリセットした後に、 ϕ を1個印加して、フレーム・メモリ15の第2行目の記憶値をアドレスするようにする。その状態で、

STATV パルス及び駆動パルス ϕ を水平読出シフト・レジスタ20に印加し、水平方向に順次読出走査し、出力端子26から順次出力する。次に、垂直シフト・レジスタ155に駆動パルス ϕ を2個印加し、フレーム・メモリ15の第4行目の記憶値を読出可能にし、水平読出シフト・レジスタ20により順次読み出す。このようにして、フレーム・メモリ15の偶数行目の記憶値が読み出され、出力端子26から出力される。

この奇フィールド及び偶フィールドの読出走査の間、 ϕ_{ss} を1にしておくことにより、光電変換部10とフレーム・メモリ15とは信号の切り離されてあり、従ってフレーム・メモリ15の記憶信号は光電変換部10への入射光の影響を受けない。また、バッファ24は高入力インピーダンスであるので、フレーム・メモリ15からは非破壊的に何回でも読出しを行える。

第8図は第1図の機能を有する固体撮像素子を用いた画像記録装置の構成ブロック図を示す。110は画像記録素子、112は絞リ、113は測光

センサ、114は第1図の固体撮像素子、116は撮像素子114の出力をビデオ信号に変換するためのビデオ信号処理回路、118はモニタ回路、120は映像モニタ装置、122はP座標回路、124は記録アンプ、126は奇フィールド用スイッチ126Aと偶フィールド用スイッチ126Bの2系統の信号路を具備する記録ゲート回路、128は奇フィールドの記録トラックに信号を記録する磁気ヘッド、130は偶フィールドの記録トラックに信号を記録する磁気ヘッド、132は画像記録媒体としての磁気シート、134は磁気シート132を回転させるモータ、136はモータ134を制御するモータ駆動回路、138はシステム全体を制御するシステム制御回路、140は電源スイッチを兼用するスイッチ、142は記録を指示する記録スイッチ、144は電源回路、146はシステム内の各部に必要なクロック信号を供給するクロック発生回路、148は撮像素子124を駆動する駆動回路、150は絞リ112を駆動する絞リ駆動回路である。シャッター・レリー

時間平2-65380 (5)

ズの第1ストロークでスイッチ140が閉成し、第2ストロークでスイッチ142が閉成するようになっている。152はモータ134の回転が安定したことを示すモータ・サーボ・ロック信号である。

第9図は第8図の動作タイミングを示す。この実施例では、モータ134の回転の安定を待たずにシャッター・レリーズ（より具体的には、スイッチ142を閉成）できる。シャッター・レリーズにより時刻 t_1 でスイッチ140が閉成されると、システムに電源が供給され、撮像素子114の駆動が開始される。時刻 t_2 でスイッチ142が閉成されるまでは、撮像素子114はムービー・モードで駆動され、映像モニタ120には撮影画像が表示されると共に、測光センサ113により測光が行われる。時刻 t_3 でスイッチ142が閉成されると、その時点で測光値に基づき絞り値及び撮像素子114の電荷蓄積時間が固定され、撮像素子114の駆動はスチル・モードに切り換わる。クリア走査及びメモリ走査が完了した時点でモータ

136の回転が安定していない場合、 t_4 は t_1 のままであり、フレーム・メモリ16の読出走査が行われず、待機状態になる。モータ136の回転が安定し、モータ・サーボ・ロック信号152がHになると（時刻 t_5 ）、奇フィールドの読出走査が行われると同時に、ゲート・スイッチ126Aが閉成され、磁気シート132に信号が記録される。続いて t_6 に偶フィールドの読出走査が行われ、これと同時にゲート・スイッチ126Bが閉成されて磁気シート132に信号が記録される。この実施例では、クリア走査及びメモリ走査をインターレースで行っているため、奇フィールドと偶フィールドとで隔合うライン間でも、1/60秒の時刻ズレは発生しない。即ち、撮像素子114における電荷蓄積時間が、垂直方向に連続的にわずかつづれていき、スチル・カメラにおける縦走りのフォーカル・プレーン・シャッタと同様の動作を実現できる。従って、動きのある被写体に対してもブレの無いフレーム静止画像を得ることができる。また、撮影した静止画像は透光され

たフレーム・メモリ15に記憶され、光電変換部10とは係数的に絶縁されているので、モータ134の回転の安定を待たずに、撮りたい画像を撮影でき、レリーズのタイムラグを短縮できる。更には、光電変換部10のクリア走査とメモリ走査の速度は、従来例と異なり、1水平期間に1ライン・シフトする必要はなく、1ライン当たり5 μ s程度まで速めることができ、フォーカル・プレーン・シャッタの走行時間に相当する時間は、5 μ s \times 500ライン=2.5ms程度であり、機械シャッタと同等又はそれ以下になっている。従って、動きのある被写体の変形を機械シャッタの場合と同程度又はそれ以下にすることができる。

第10図はカラー化した場合の本発明の実施例の構成ブロック図を示す。本実施例では、各光電変換セル10Cが1水平ライン毎に空間的に180°位相をずらせた、所謂補間配置になっており、各光電変換セル10Cには第11図に示すようにカラー・フィルタが配置されている。Rが赤フィルタ、Gが緑フィルタ、Bが青フィルタである。フ

レーム・メモリ15のメモリ用コンデンサ15Mも光電変換セル10Cの補間配置に対応して配置されている。15Bは垂直シフト・レジスタ15Sの出力を、奇フィールド(0)又は偶フィールド(2)走査に応じて切り換えるためのインターレース回路である。奇フィールドを選択するときには、インターレース回路15Bの制御端子E/0にしを入力し、偶フィールドを選択するときにはHを入力する。なお、この実施例では、垂直シフト・レジスタ15Sは第1図の場合に較べ、半分の段数でよい。

また、各色の光電変換信号を読み出すために、3系統の回路を具備し、18R、18G、18Bは、フレーム・メモリ15の指定行の記憶値を順番に読み出す出力信号線であり、それぞれR信号用、G信号用、B信号用である。20R、20G、20Bはそれぞれ、フレーム・メモリ15から読み出すべき記憶値を指定する水平読出用のシフト・レジスタ、23は、当該シフト・レジスタ20R、20G、20Bの出力により開閉されるスイ

ッ、24R、24G、24Bは出力バッファ、26A、26B、26Cは出力端子である。STATはシフト・レジスタ20R、20G、20Bを起動する起動パルス、 ϕ_{sa} 、 ϕ_{sb} 、 ϕ_{sc} は、シフト・レジスタ20R、20G、20Bに対するシフト・パルスである。

29は光電変換部10の垂直アドレス線10Vの、隣接する2本を同時に起動するアドレス・デコーダ、31は、垂直アドレス・データD_{va}に従い、アドレス・デコーダ29が起動する垂直アドレス線を指定するデコーダ駆動回路である。垂直アドレス・データD_{va}は例えば9ビットであり、その先頭ビットで奇フィールドか偶フィールドかを指定し、残りの8ビットで垂直アドレスを指定する。アドレス・デコーダ29は、詳細は後述するが、デコーダ駆動回路30からの偶/奇信号と上記垂直アドレスとによって決定される2本の垂直アドレス線10Vに送出クロック ϕ を印加し、他の垂直アドレス線10Vにクロック ϕ を印加する。例えば、奇フィールドでは第1行目と

第2行目、第3行目と第4行目、というように、また偶フィールドでは、第2行目と第3行目、第4行目と第5行目、というように、それぞれ2本の垂直アドレス線10Vに同時に送出クロックを印加する。

なお、インターレース回路15Bは、奇フィールド及び偶フィールドでのアドレス・デコーダ29と同様に、2本の垂直アドレス線15Aを同時に起動する。

第12図は第10図の撮像素子スチル・モードで駆動する際のシーケンスを示す。上述の如く、光電変換セル10Cは隣接する2行が同時にアドレスされるので、クリア走査及びメモリ走査も2行ずつ行われる。第12図の例では、奇フィールドのモードでクリア走査及びメモリ走査が行われている。クリア走査及びメモリ走査は2行ずつ行われるので、第6図の場合と比較して1/2の時間で終了する。メモリ走査終了後、フレーム・メモリ15の読み走査を行い、奇フィールド及び偶フィールドの順に進み出す。

第13A図は、クリア走査開始付近の駆動タイミングを示す。隣接する2行が同時にクリアされること以外、第7A図と同様である。アドレスD_{va}のライン番号に付加した(0)は、奇フィールドのモードであることを示す。

第13B図はメモリ走査の開始付近及びクリア走査の終了付近の駆動タイミングを示す。フレーム・メモリ15の走査を奇モードで行うために、インターレース回路15Bの制御端子E/OにLをセットする。メモリ走査も2行ずつが同時に行われる。第13C図はメモリ走査終了付近の駆動タイミングを示し、第13D図は奇フィールドのフレーム・メモリ15の読み走査における駆動タイミングを示す。第13D図で、フレーム・メモリ15の1行目と2行目、3行目と4行目、というように2行ずつがR、G、Bに対応する3出力に振り分けて出力される。 ϕ は1水平走査期間に1個印加される点で、第7D図とは異なる。また、インターレース回路15Bの制御端子E/OにLがセットされている。

第13E図は偶フィールドのフレーム・メモリ15の読み走査における駆動タイミングを示す。インターレース回路15Bの制御端子E/OにはHがセットされ、2行目と3行目、4行目と5行目、というように2行の信号が読み出される。

第14図は水平走査タイミングの開始付近のタイミング図である。シフト・レジスタ20R、20G、20Bに始動パルスSTAT_Rが印加された後、シフト・パルス ϕ_{sa} 、 ϕ_{sb} 、 ϕ_{sc} が120°位相をずらして各シフト・レジスタ20R、20G、20Bに印加される。これによりPET 23は1/3デューティ・サイクルで閉成状態になる。今n行目と(n+1)行目が読み出されているとし、n行目のm列目の出力を(a_n, a_m)で表現すると、2ライン分の信号は、第14図のタイミングで出力端子26A、26B、26C(電圧V_{a1}、V_{a2}、V_{a3})に分けられる。尚、V_{a1}、V_{a2}及びV_{a3}を加算すると、補間画素配列により1ラインの倍の水平解像度を持つ広帯域の輝度信号を取り出すことができる。第15図は輝度信号における走査順序を示す。フレ

特開平2-65380 (7)

ーム・メモリ15の記憶情報が非破壊であることを利用して、奇フィールド及び偶フィールド共に、全画素情報を用いて広帯域の輝度信号を形成できる。

また、静止画を記録する場合、片方のフィールドだけを記録するフィールド記録では、隣接する2行の信号を画像素子内で加算して記録する例が多く、両フィールドを記録するフレーム記録とは感度が異なっていた。従って、従来はフィールド記録とフレーム記録とは測光の際のゲインを変更しなければならなかったが、本実施例では、どちらでも感度が等しくなっているので、そのような変更操作は不要である。

次に第10図の画像素子をムービー・モードで駆動する場合を説明する。電源投入後に、垂直シフト・レジスタ15Sに始動パルスSTARTVを印加してリセットする。これによりフレーム・メモリ15の1行目と2行目がアドレスされる。フレーム・メモリ15をライン・メモリとして機能させるために、駆動クロックφは印加しない。また、

インターレース回路15Bの制御単位1/2にLをセットすれば、1行目と2行目でライン・メモリを構成し、Hをセットすれば2行目と3行目でライン・メモリを構成することになる。どちらでも動作は同じである。この状態で第5図と同様に動作させることにより、ムービー・モードでの動作になる。但し送出ライン・アドレスD_{out}の設定をフィールド毎に切り換えることにより、フィールド毎に1行ずれた2行の信号が同時に読み出され、インターレース画像を得ることができる。

本実施例によれば、比較的小さい画素数、例えば水平600、垂直500画素程度の画像素子で、水平480TV、垂直350画素程度の高解像度のフレーム静止画を得ることができる。また、フィールド記録とフレーム記録とで同じ感度でよいので、測光系のゲインを切り換える必要がなくなり、回路構成を簡素化できる。更には、クリップ歪及びメモリ歪を2行ずつ行うので、第1図の実施例に比べ、フォーカル・ブレン・シャッタの走行時間に相当する時間を更に1/2に短縮でき、動き

の速い被写体の変形が更に小さくなる。

(発明の効果)

以上の説明から容易に理解できるように、本発明によれば、動きのある被写体に対してもブレの無いフレーム静止画を得ることができる。また、電子ステル・カメラに適用する場合には、記録媒体回転モータの回転の安定化を待たずに、撮影を行い、撮影画像を画像手段のフレーム・メモリに保存できるので、レーズのタイム・ラグを大幅に短縮できる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成ブロック図、第2図は従来例の構成ブロック図、第3図は第2図の光電変換セル10Cの詳細図、第4図は光電変換セル10Cの動作波形図、第5図は第2図の駆動タイミング図、第6図は第1図の画像素子のステル・モードでの動作タイミング図、第7A図、第7B図、第7C図、第7D図及び第7E図は第5図のより詳細なタイミング図、第8図は電子ステル・カメラの構成ブロック図、第9図は第8図

の動作タイミング図、第10図は本発明の第2の実施例の構成ブロック図、第11図は第10図の色フィルタの配置図、第12図は第10図の画像素子の動作タイミング図、第13A図、第13B図、第13C図、第13D図及び第13E図は第12図のより詳細な駆動タイミング図、第14図は第10図の水平走査タイミング図、第15図は第10図の画像素子での、輝度信号の走査順序図である。

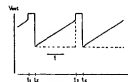
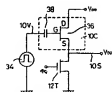
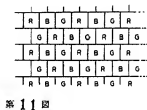
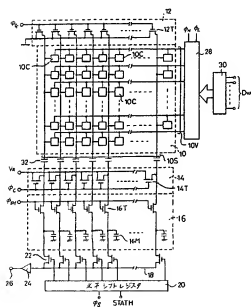
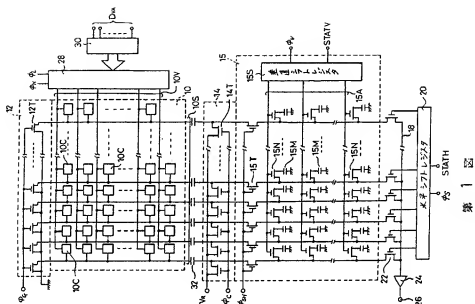
10…光電変換部 10C…光電変換セル 10V…垂直アドレス線 10S…信号送出線 12…リセット回路、14…クランプ回路 15…フレーム・メモリ 15S…垂直シフト・レジスタ 18、18R、18G、18B…出力信号線 20、20R、20G、20B…水平シフト・レジスタ 24、24R、24G、24B…出力バッファ 26、26A、26B、26C…出力端子 32…結合用コンデンサ

特許出願人 キヤノン株式会社

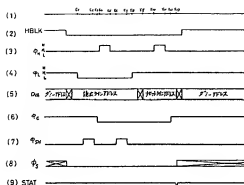
代理人 弁理士 田中 常雄



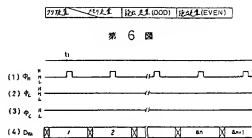
特開平2-65380(8)



特開平2-65380 (9)

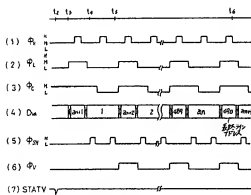


第 5 図

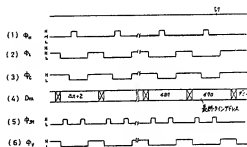


第 6 図

第 7A 図

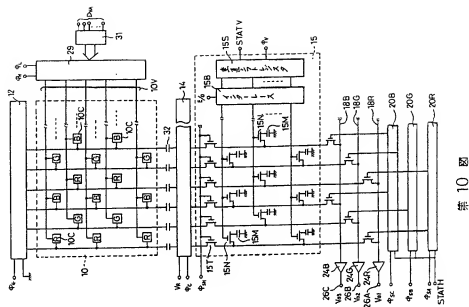


第 7B 図



第 7C 図

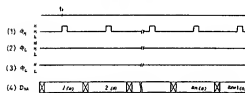
特開平2-65380 (11)



第 10 図

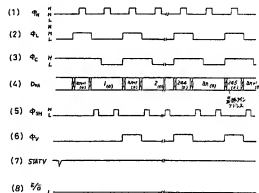
PULSE (100ns) 2.5V (100mV) 2.5V (100mV) 2.5V (100mV)

第 12 図



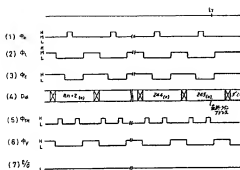
第 13A 図

1e 1p 1a 1r 1s

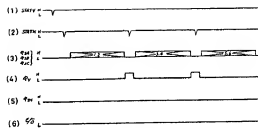


第 13B 図

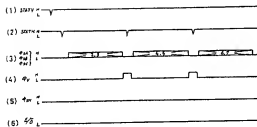
特開平2-65380(12)



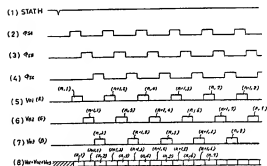
第 13C 図



第 13D 図



第 13E 図



第 14 図

特開平2-65380 (13)

[illegible]

(a) 前フィールドの読出変数(既に用いた変数)

Figure 1 illustrates the structure of the 128-bit key schedule for the proposed algorithm. The diagram shows five rows of key schedule components, labeled R1 through R5. Each row represents a round function. The first row (R1) shows the initial 128-bit key split into two 64-bit halves. Subsequent rows (R2 through R5) show the key schedule expanded into 256 bits, with each round function taking a 128-bit key and producing a 128-bit output. The diagram uses a grid-like structure to show the flow of data between rounds and the expansion of the key schedule.

(b) 偶フィールドの論法足量 (Eどしなげ新数)